

УДК 621.391.519.7

В. Г. Иванов, канд. техн. наук
Национальная юридическая академия Украины
им. Ярослава Мудрого
(Украина, 61024, Харьков, ул. Пушкинская, 77,
тел. (057) 7049202, E-mail: uracad@kipt.kharcov.ua)

Параллельные и последовательные структуры Хаара для цифровой обработки сигналов

(Статью представил канд. техн. наук В. В. Аристов)

Приведены результаты построения параллельных и последовательных структур Хаара для цифровой обработки сигналов, а также результаты их сравнения по выбранным и определенным в работе критериям: систоличность, производительность, объем оборудования и эффективность процессорного поля.

Наведено результати побудови рівнобіжних та послідовних структур Хаара для цифрової обробки сигналів, а також результати їхнього порівняння за обраними та визначеними у роботі критеріями: систоличність, продуктивність, обсяг устаткування та ефективність процесорного поля.

Ключевые слова: цифровая обработка сигналов, структуры Хаара.

Практически все достижения и сложности современной информатики являются результатом активного взаимодействия технологий построения СБИС, вычислительной техники, цифровой обработки сигналов и средств телекоммуникаций [1—3]. В настоящее время в мире происходит формирование новой отрасли, называемой пакетной телефонией, которая основана на передаче голоса, данных и видео в сетях с пакетной коммутацией. В этой отрасли используются известные и создаются новые сложные интеллектуальные системы анализа и синтеза речи, эффективного кодирования и улучшения качества визуального восприятия изображений и их распознавания. Быстрое развитие и широкое применение средств цифровой обработки сигналов наблюдается также в медицине, радиолокации, телефонии, радиосвязи, в универсальных и специализированных вычислительных системах и персональных компьютерах [4—7]. При этом основной составляющей практически всех методов обработки сигналов (фильтрация, сжатие, распознавание и др.)

является получение отсчетов спектра в том или ином базисе ортогональных функций [2—5, 8, 9].

В связи с этим весьма актуальной представляется задача синтеза цифровых устройств спектрального анализа сигналов с использованием базисных функций, позволяющих минимизировать количество вычислительных операций и объем аппаратуры, а также выбор и определение совокупности перспективных характеристик и критериев, которым должны соответствовать структуры и алгоритмы цифровых процессоров обработки сигналов.

В [10] показано, что анализ и синтез сигналов в базисе обобщенных функций Хаара можно проводить с минимальными вычислительными затратами. Так, например, из анализа любого алгоритма быстрого преобразования Фурье или Уолша следует, что для вычисления спектра по дискретному массиву из N чисел необходимо осуществить $\frac{N}{2} \log_2 N$ операций комплексного сложения и умножения,

что существенно больше $2(N-1)$ арифметических операций, которое дает быстрое преобразование Хаара. Следует также обратить внимание на фундаментальные свойства локальности системы Хаара, лежащие в основе современных математических методов Wavelet-преобразований.

Анализ литературы [2—9, 11—13] позволяет определить следующие основные характеристики и показатели, которым должны соответствовать проектируемые современные цифровые процессоры обработки сигналов: однородность, регулярность, локальность и рекурсивность (системная архитектура), производительность и объем оборудования, избыточность или эффективность процессорного поля, надежность и время проектирования.

Покажем, что алгоритмы получения и структуры коэффициентов Хаара соответствуют указанным основным характеристикам цифровых процессоров обработки сигналов.

Если на вход специализированного вычислителя спектра Хаара подается N отсчетов дискретного сигнала X_i , то в начальный процесс обработки включается получение обобщенных промежуточных сумм Хаара. Запишем это в виде [10]:

$$X_i^{(n)} = X_{2i-1}^{(n-1)} + X_{2i}^{(n-1)}, \quad (1)$$

где $n = 1, 2, \dots, (\log_2 N - 1)$, $i = 1, 2, \dots, N/2^n$, а $X_{(\cdot)}^{(0)}$ — исходный отсчет входного сигнала.

Коэффициенты Хаара на выходе анализатора определяются с помощью (1) в виде

$$C_{mj} = \frac{1}{N} 2^{\frac{m-1}{2}} [X_{2j-1}^{(\log_2 N - 1) - m} - X_{2j}^{(\log_2 N - 1) - m}], \quad (2)$$

где $m = 1, 2, \dots, \log_2 N$, $j = 1, 2, \dots, 2^{m-1}$, а для выражения, стоящего в квадратных скобках, $m = m - 1$.

Коэффициент Хаара с минимальным индексом (свободный член) определяется так:

$$C_{01} = \frac{1}{N} [X_{2^{j-1}}^{\log_2 N - 1} + X_{2^j}^{\log_2 N - 1}]. \quad (3)$$

Выражения (1) — (3) являются рекуррентными и позволяют построить схемы локально-рекурсивных процессоров на основе принципов систолической архитектуры.

Если $N = 8$, то процесс отображения исходных отсчетов сигнала в пространство коэффициентов Хаара согласно (1) — (3) можно представить в виде такой последовательности операций.

Шаг 1. Определяем по (1) промежуточные суммы Хаара: $n = 1, i = 1, 2, \dots, N/2^1 = 1, 2, \dots, 4$. Соответственно получаем

$$X_1^1 = X_1^0 + X_2^0; \quad X_2^1 = X_3^0 + X_4^0; \quad X_3^1 = X_5^0 + X_6^0; \quad X_4^1 = X_7^0 + X_8^0.$$

Шаг 2. $n=2, i=1, 2$. При этом

$$X_1^2 = X_1^1 + X_2^1; \quad X_2^2 = X_3^1 + X_4^1.$$

Шаг 3. $m=1, j=1$. Соответственно

$$C_{11} = [X_1^2 - X_2^2] = (X_1^1 + X_2^1) - (X_3^1 + X_4^1) = (X_1^0 + X_2^0 + X_3^0 + X_4^0) - (X_5^0 + X_6^0 + X_7^0 + X_8^0) = C_2;$$

при $m = 2, j = 1, 2$

$$C_{21} = [X_1^1 - X_2^1] = [(X_1^0 + X_2^0) - (X_3^0 + X_4^0)] = C_3,$$

$$C_{22} = [X_3^1 - X_4^1] = [(X_5^0 + X_6^0) - (X_7^0 + X_8^0)] = C_4;$$

при $m = 3, j = 1, 2, 3, 4$

$$C_{31} = [X_1^0 - X_2^0] = C_5, \quad C_{32} = [X_3^0 - X_4^0] = C_6, \quad C_{33} = [X_5^0 - X_6^0] = C_7,$$

$$C_{34} = [X_7^0 - X_8^0] = C_8.$$

Мощным инструментом прямого представления последовательности полученных рекурсий является граф потока сигналов. Точки вход-выход в графе указывают на порядок вычисления, а ребра, соответствующие задержке, обозначают разделение и упорядочение двух последовательных рекурсий. Граф потока сигналов обеспечивает, во-первых, мощный абстрактный аппарат для выражения параллелизма и, во-вторых, — достаточно простой переход от графов к реальным систолическим матрицам Хаара. Для этого

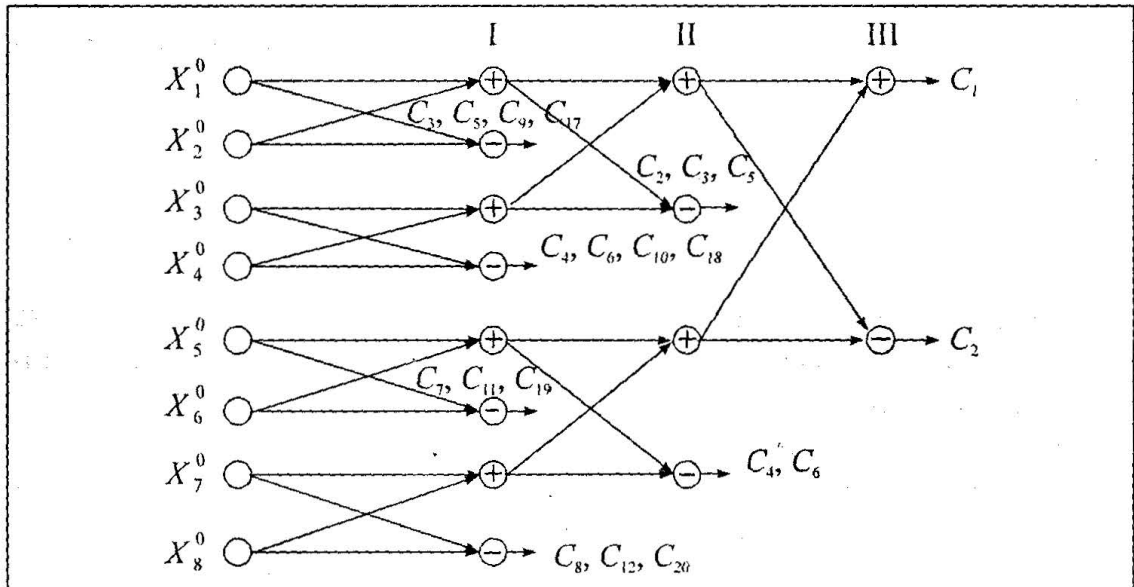


Рис. 1. Схема графа получения коэффициентов Хаара ($N = 8$)

необходимо в схеме на рис. 1 вместо вершин графа поставить соответствующие элементарные процессоры сложения или вычитания.

Полученная рекурсивная вычислительная схема приводит к локально связанным структурным примитивам (затемненные участки), обеспечивающим высокую степень однородности аппаратуры, модульность и регулярность потоков данных. Используя эти примитивы в качестве элементарных модулей, можно легко наращивать структуры Хаара для вычисления коэффициентов при любом значении N входных данных. Эти структуры обладают также свойством совместимости сверху вниз, которого лишены структуры алгоритмов быстрого преобразования Фурье. Следовательно, специализированный вычислитель Хаара для получения, например, 32-х коэффициентов позволяет также получить 16, 8 и так далее коэффициентов без перестройки его конфигурации. Это свойство отображено в табл. 1.

Таблица 1

Ярус (такт)	Коэффициент C при N			
	4	8	16	32
I	3, 4	5, 6, 7, 8	9, 10, 11, 12, 13, 14, 15, 16	17, 18, 19, 20, ..., 31, 32
II	1, 2	3, 4	5, 6, 7, 8	9, 10, 11, 12, 13, 14, 15, 16
III		1, 2	3, 4	5, 6, 7, 8
IV			1, 2	3, 4
V				1, 2

Если, например, $N = 16$, то коэффициенты C_9, C_{10} и последующие находятся на втором ярусе 32-точечной структуры, коэффициенты C_5, C_6, C_7 и C_8 — на третьем ярусе и т.д. В свою очередь, коэффициенты C_5, C_6, C_7, C_8 являются результатом работы процессоров первого яруса при $N = 8$. Исключения составляют только коэффициенты C_1 для различных значений N , которые всегда будут находиться на соответствующем первом сумматоре последнего яруса. Результаты вычислений первого яруса процессоров последовательно и локально передаются («проталкиваются») процессорам второго яруса и так далее, пока не будут получены значения всех коэффициентов Хаара.

Для характеристики свойств параллельного алгоритма Хаара введем понятие ширины параллелизма, определяющее число операций ℓ , которые можно выполнять одновременно. В рассматриваемом случае параллельная задача получения коэффициентов Хаара выполняется за несколько тактов. Причем величина ℓ меняется от такта к такту и поэтому имеет смысл определить понятие среднего значения ширины параллелизма:

$$\ell_{\text{ср}} = \frac{1}{q} \sum_{i=1}^q \ell_i,$$

где q — число тактов выполнения параллельного алгоритма, равное $\log_2 N$. Числовое значение q отражает время выполнения параллельного алгоритма, выраженное в тактах. Оно характеризует глубину параллелизма и алгоритмическую сложность структур Хаара.

Важными характеристиками параллельных структур Хаара для цифровой обработки сигналов являются производительность и объем оборудования, которые соответственно запишем в виде

$$P = \frac{2(N-1)}{\log_2 N}, \quad Q = 2(N-1). \quad (4)$$

Здесь P — условное время, за которое параллельная структура реализует вычисление $2(N-1)$ арифметических операций того или иного алгоритма; Q — число элементарных процессоров этой структуры. Однако для сравнительной оценки множества вариантов архитектур, предназначенных для цифровой обработки сигналов, этих характеристик явно недостаточно. Поэтому необходимо использовать дополнительные критерии качества. В некоторых случаях весьма целесообразно использовать для оценки удельную производительность

$$V = \frac{P}{Q}, \quad (5)$$

которую наряду с производительностью можно использовать как важный критерий сравнения структур Хаара с параллельной и последовательной архитектурой.

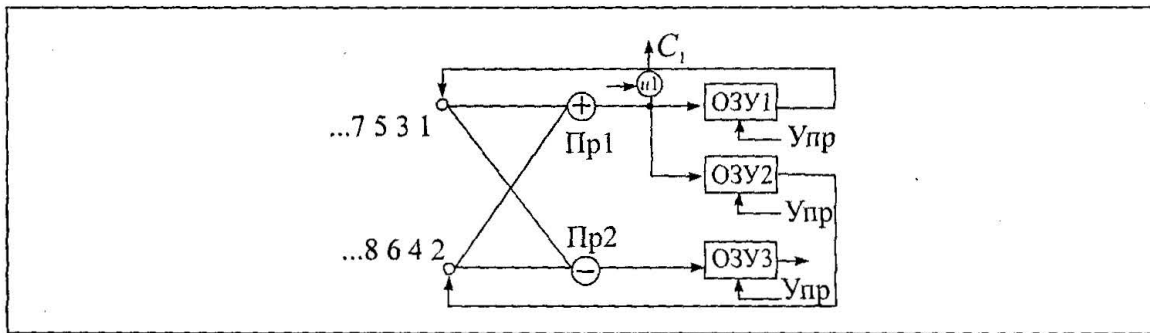


Рис. 2. Базовая структура построения безыбыточных (с высоким коэффициентом загрузки оборудования) вычислителей спектра Хаара

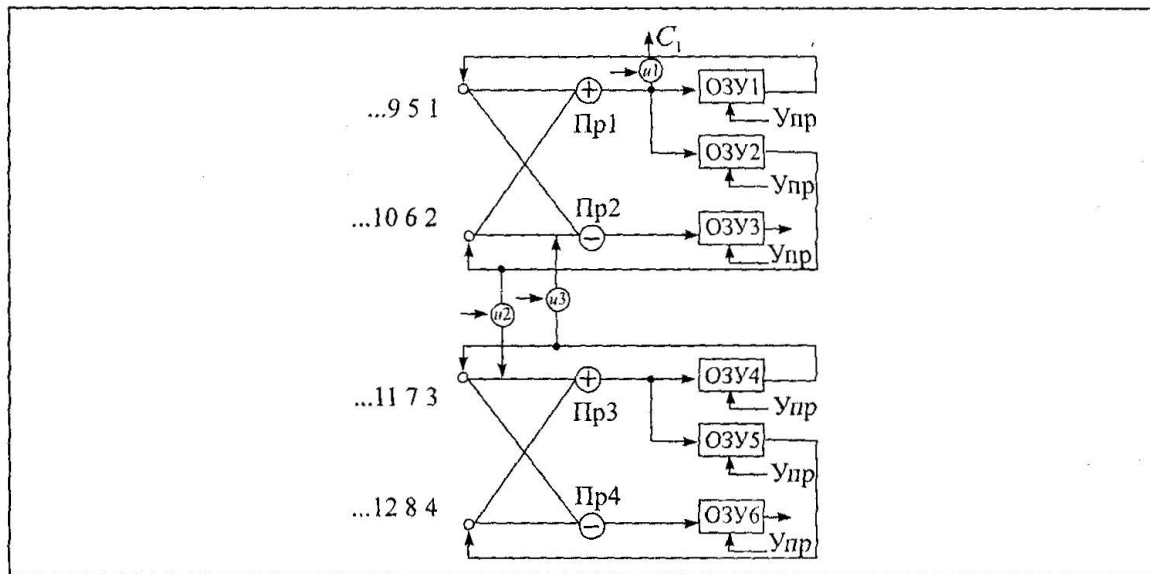


Рис. 3. Четырехпроцессорная структура на двух базовых модулях

Наиболее информативной характеристикой параллельного алгоритма является ускорение

$$\lambda = \frac{T_{\text{посл}}}{T_{\text{пар}}}, \quad (6)$$

показывающее, во сколько раз применение параллельного алгоритма сокращает время исполнения задачи по сравнению с последовательным алгоритмом. Здесь T — число тактов, необходимое для получения коэффициентов Хаара в последовательной и параллельной структуре. Вместе с тем, следует ввести характеристику

$$\alpha = \frac{Q_{\text{пар}}}{Q_{\text{посл}}}, \quad (7)$$

которая показывает, во сколько раз оборудование параллельного процессора по объему больше оборудования последовательного процессора.

Следует также отметить, что параллельные вычислительные структуры Хаара, построение которых осуществляется прямым отображением информационного графа, имеют определенные недостатки, объясняемые тем, что абсолютно параллельных процессов в принципе не существует, а объем структур увеличивается с возрастанием числа вершин графа. При большом числе N структуры становятся труднореализуемыми, а процессоры — малозагруженными. Как видно из рис. 1, на первом такте вычисления коэффициентов Хаара работают только процессоры первого яруса, на втором — только второго

Таблица 2

Такт	M	M^*	R	R^*
$N = 64, i = 1 + 6$				
1	64	62	1,03	0,507
2	32	94	0,34	0,253
3	16	110	0,145	0,127
4	8	118	0,067	0,063
5	4	122	0,032	0,031
6	2	124	0,016	0,0158
Сумма	126	630	0,2	1
$N = 16, i = 1 + 4$				
1	16	14	1,14	0,533
2	8	22	0,363	0,266
3	4	26	0,153	0,133
4	2	28	0,07	0,066
Сумма	30	90	0,33	1
$N = 8, i = 1 + 3$				
1	8	6	1,33	0,57
2	4	10	0,4	0,285
3	2	12	0,166	0,142
Сумма	14	28	0,5	1

Таблица 3

Выполняемые операции на такте					
1	2	3	4	5	6
(1+2)→Пр1→ОЗУ1	(3+4)→Пр1	Пр1→ОЗУ3	ОЗУ1→(1+2)	(1+2)+(3+4)→Пр1	$\mu_1 \rightarrow C_1$
(1-2)→Пр2→C ₃ →ОЗУ2	(3-4)→Пр2→C ₄	C ₄ →ОЗУ2	ОЗУ3→(3+4)	(1+2)-(3+4)→Пр2	Пр2→C ₂

яруса и так далее. Поэтому целесообразно ввести понятие эффективности процессорного поля E , которое определяем так:

$$E = \frac{1}{q} \sum_{i=1}^q n_i \quad \text{или} \quad E = \frac{N}{q},$$

где n_i — число процессорных элементов (ПЭ), необходимое для реализации параллелизма в такте i . Величина E указывает среднюю загрузку ПЭ при выполнении конкретного параллельного алгоритма. Можно уточнить это понятие, если ввести такую характеристику как избыточность структуры или коэффициент загрузки оборудования R , который показывает отношение суммарного числа работающих процессоров M к числу неработающих M^* на каждом такте решения задачи и в целом после ее завершения:

$$M_i = \sum_{i=1}^{\log_2 N} \frac{N}{2^{i-1}}, \quad M_i^* = \sum_{i=1}^{\log_2 N} [2(N-1) - 2^i], \quad (8)$$

$$R_i = \left(\sum_{i=\log_2 N}^1 2^i \right) / \sum_{i=1}^{\log_2 N} [2(N-1) - 2^i], \quad (9)$$

где i в числителе формулы (9) изменяется от $\log_2 N$ до единицы с шагом -1 .

С использованием (8) и (9) построена табл. 2 для коэффициентов R , M и M^* при различных значениях N . Значение R^* определяет отношение числа работающих процессоров на каждом такте решения задачи к их общему числу Q в схеме.

Анализ табл. 2 свидетельствует об очень низком коэффициенте загрузки оборудования в параллельных структурах Хаара, независимо от длины обрабатываемой реализации. Так, уже на втором такте работы схемы при $N = 64$ число работающих процессорных элементов по отношению к не работающим составляет всего 34 %, а на третьем такте — 14,5%. Чем меньше длина обрабатываемой реализации N , тем выше коэффициент загрузки оборудования параллельной структуры. Избыточность структур связана с коэффициентом R обратной зависимостью, т. е. чем меньше загрузка оборудования, тем больше избыточность.

Эти результаты дают основание говорить о необходимости построения базовых параллельно-последовательных структур, позволяющих синтезировать безизбыточные схемы быстрых преобразований Хаара при любом значении N длины обрабатываемой реализации сигналов путем наращивания таких структур и простым их соединением. На рис. 2 изображена такая базовая структура (модуль) с указанием необходимой последовательности поступления номеров отсчетов сигнала, а в табл. 3 приведены выполняемые

действия на каждом такте работы при $N = 4$. В случае соединения двух базовых модулей получаем четырехпроцессорную структуру, четырех модулей — восьмипроцессорную и т. д. Один из вариантов схемы с использованием двух базовых модулей показан на рис. 3, а в табл. 4 определены соответствующие этой схеме последовательности выполняемых элементарных операций при $N = 4$.

Так же просто выполняется построение схемы из четырех базовых модулей и соответствующей ей таблицы выполняемых потактовых элементарных операций. Проведем анализ эффективности предложенного подхода для двух-, четырех- и восьмипроцессорных структур в сравнении с параллельными структурами на основании определенных нами характеристик и критериев. Примем следующие исходные данные: число арифметических операций $2(N - 1)$, которое необходимо выполнить для получения коэффициентов Хаара как в параллельной, так и в последовательной (параллельно-последовательной) структуре; число тактов T в параллельной и последовательной структуре для решения задачи получения коэффициентов; объем оборудования параллельной Q и последовательных структур Q_2, Q_4, Q_8 , где Q_2, Q_4, Q_8 — соответственно двух-, четырех- и восьмипроцессорная структуры.

Оборудование базового модуля (см. рис. 2) состоит из двух процессоров и двух блоков памяти ОЗУ1 и ОЗУ3, работающих на частоте процессоров, как в

Таблица 4

Выполняемые операции на такте				
1	2	3	4	5
(1+2) → Пр1 (3+4) → Пр3 (1-2) → Пр2 (3-4) → Пр4	Пр1 → ОЗУ1 Пр3 → ОЗУ4 Пр2 → C ₃ → ОЗУ2 Пр4 → C ₄ → ОЗУ6	ОЗУ1 → (1+2) → Пр1 ОЗУ4 → (3+4) → Пр2	(1+2)+(3+4) → Пр1 → C ₁ (1+2)-(3+4) → Пр2 → C ₂	C ₁ → u1 →

Таблица 5

Такт	$\log_2 N$													
	α_2	λ_2	α_4	λ_4	α_8	λ_8	$P_{\text{пар}}$	P_2	P_4	P_8	$V_{\text{пар}}$	V_2	V_4	V_8
2	1,5	3	0,75	2,5	0,375	2,5	3	1	1,2	1,2	0,5	0,25	0,15	0,075
3	3,5	4,33	1,75	3	0,875	2,66	4,67	1	1,55	1,75	0,333	0,25	0,193	0,109
4	7,5	7,5	3,75	4,5	1,875	2,75	7,5	1	1,66	2,72	0,25	0,25	0,2	0,17
5	15,5	12,4	7,75	6,6	3,875	4	12,4	1	1,87	3,1	0,2	0,25	0,234	0,193
6	31,5	21	15,75	10,6	7,875	6,33	21	1	1,9	3,15	0,166	0,25	0,246	0,2

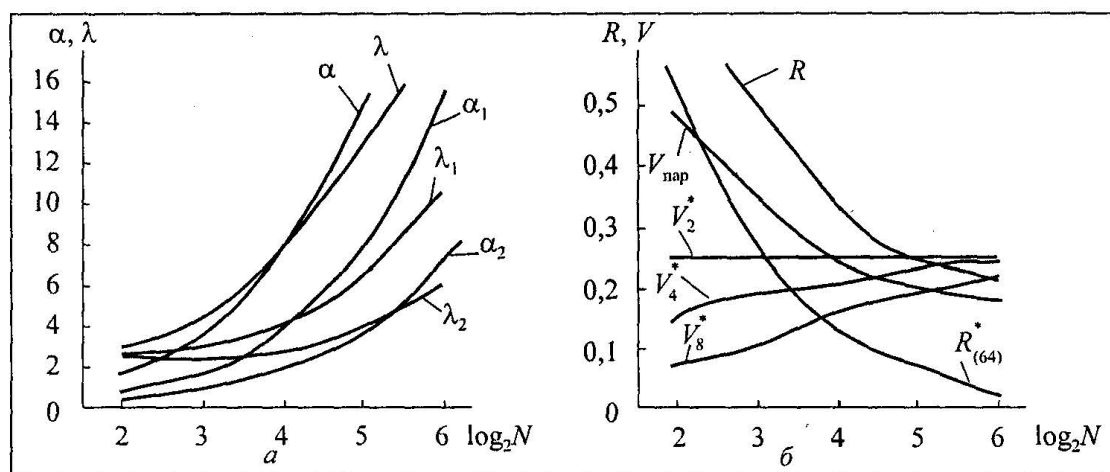


Рис. 4. Характеристики параллельных и последовательных структур

современных персональных ЭВМ. Блок памяти коэффициентов ОЗУ2 не входит в состав оборудования базового модуля, а технологическую сложность процессора и блока памяти будем считать одинаковой. Следовательно, аппаратные затраты базового модуля составляют четыре процессорных элемента. Численные значения основных характеристик, полученные по формулам (4) — (9), приведены в табл. 5, где α_2, λ_2 — характеристики двухпроцессорной структуры; α_4, λ_4 — четырехпроцессорной структуры; α_8, λ_8 — восьмипроцессорной структуры. По этим значениям построены семейства графиков для соответствующих структур (рис. 4), позволяющие судить об эффективности той или иной структуры.

Как видно из графиков, приведенных на рис. 4, а, для всех последовательных структур Хаара существуют такие значения размерности векторов обрабатываемых данных, при которых применение этих структур становится более предпочтительным, т. е. когда затраты на оборудование параллельного процессора начинают превышать выигрыш в скорости вычислений. Для двухпроцессорной системы это $N = 16$, а для восьмипроцессорной $N = 32$. При N , равном четырем и восьми разница в скорости при параллельных вычислениях коэффициентов Хаара по сравнению с остальными тремя последовательными структурами очень незначительна.

Данные выводы соответствуют и графикам, приведенным на рис. 4, б. Как видим, существует область значений N , где по показателю удельной производительности V целесообразно использовать параллельные структуры. Эта область находится в диапазоне от четырех до 16-ти для двухпроцессорной последовательной структуры (точка пересечения графиков $V_{\text{пар}}$ и V_2^*) и от четырех до 32-х для восьмипроцессорной системы (точка пересечения графиков

$V_{\text{пар}}$ и V_8^*). По этому показателю двухпроцессорная система всегда лучше по сравнению с остальными последовательными структурами, а при $N > 16$ она становится лучше и по сравнению с параллельной. При больших значениях N удельная производительность всех последовательных структур не существенно отличается и стремится к значению 2,5. График коэффициента загрузки оборудования R свидетельствует о том, что с возрастанием длины массива N , число работающих процессоров в параллельных структурах резко сокращается по сравнению с числом не работающих. Причем наибольшая крутизна кривой R наблюдается при значениях N , равных двум и трем. График R^* показывает, как изменяется отношение числа работающих процессоров на каждом такте решения задачи к их общему числу при $N = 64$, и свидетельствует о резком уменьшении эффективности загрузки процессорного поля в параллельных структурах Хаара с возрастанием N .

Полученные результаты позволяют на практике строить различные архитектуры процессоров обработки сигналов в базисе Хаара, ставя во главу угла их эффективность по тем или иным критериям. Поскольку ортогональные преобразования Хаара являются обратимыми, приведенные результаты можно использовать и при выборе схем, реализующих алгоритмы быстрых обратных преобразований. Предложенная методика может быть также использована при анализе и синтезе схем обработки сигналов в других ортогональных базисах.

Results of constructing parallel and sequential Haara structures are presented for digital signal processing. The results of their comparison by the criteria selected and defined in operation are also given. These criteria are: systolation, productivity, volume of equipment and efficiency of processor field.

1. Головных А. Цифровая среда обитания // СНИР. Компьютеры и коммуникации. — 2003. — № 1. — С. 68—70.
2. Труды Российского научно-технического общества радиотехники, электроники и связи имени А. С. Попова. Сер.: Цифровая обработка сигналов и ее применение. — Вып. 4—1. — М.: Информпресс-94, 2004. — 317 с.
3. Букашкин С. А., Лисицын Г. Ф., Миронов В. Г. Применение цифровых процессоров обработки сигналов — магистральный путь развития современных средств телекоммуникаций // Тр. 3-й Международной конференции «Цифровая обработка сигналов и ее применение». — М.: Инсвязьиздат, 2000. — С. 3—4.
4. Применение цифровой обработки сигналов / Под ред. Э. Опленгейма. — М.: Мир, 1980. — 550 с.
5. Кодирование и обработка изображений // Сб. научн. тр. — М.: Наука, 1988. — 181 с.
6. Обработка изображений на ЭВМ / Е.А. Бутаков, В.И. Островский, И.Л. Фадеев. — М.: Радио и связь, 1987. — 240 с.
7. Корнеев В. Будущее высокопроизводительных вычислительных систем // Открытые системы. — М.: 2003. — № 5. — С. 10—17.