

Параллельные и последовательные структуры Хаара для цифровой обработки сигналов

(Розділ 3)

Аннотация. Приводятся результаты построения параллельных и последовательных структур Хаара для цифровой обработки сигналов, а также результаты их сравнения по выбранным и определенным в работе критериям: систоличность, производительность и объем оборудования, эффективность процессорного поля.

Ключевые слова: цифровая обработка сигналов; параллельные и последовательные структуры Хаара.

Abstract. Results of construction of parallel and sequential structures Haara for digital processing signals, and also results of their matching by the criteria selected and defined in operation are resulted: systolation, productivity and size of the equipment, efficiency of a processor field.

Keywords: digital signal processing; parallel and serial Haar structure.

Введение и постановка задачи. Сегодня практически все достижения и сложности современной информатики являются результатом активного взаимодействия технологий построения СБИС, вычислительной техники, цифровой обработки сигналов и средств телекоммуникаций [1,2,3]. Связь, телекоммуникации и вычислительная техника становятся неразделимы, образуя единую систему функционирования. Это усиливающееся взаимодействие обусловлено возрастающими требованиями к скорости процесса обработки сигналов, что приводит к необходимости наличия огромных вычислительных ресурсов[3].

Вместе с тем дешевые и быстродействующие СБИС с высокой плотностью компоновки элементов делают реальными такие супервычисления, если оценивать их по размерам реализующих их устройств, производительности и стоимости [2].

Хотя при высокой степени интеграции возможно обеспечить максимальный параллелизм, и тем самым почти неограниченное аппаратное обеспечение при очень низкой стоимости, имеются определенные ограничения, обусловленные технологией реализации связей, сложностью и временем разработки, тестированием, сохранением высокой реальной производительности [2]. Это означает, что существует необходимость в новой методологии проектирования систем на СБИС. С целью увеличения потенциальных возможностей СБИС в области обработки сигналов, системное

проектирование должно охватывать широкий спектр дисциплин, координировать использование достижений теории обработки сигналов и теории разработки и создания современных вычислителей [3].

С одной стороны, наличие дешевых, компактных и быстродействующих СБИС делают высокоскоростную параллельную обработку данных большого объема практичной и экономичной. С другой стороны, совершенно очевидно, что потенциальные возможности СБИС могут быть использованы только при условии четкого представления области их применения. Поэтому следует отметить, что традиционные методы разработки архитектуры вычислителей не совсем подходят для проектирования высокопараллельных СБИС-процессоров обработки сигналов.

Во-первых, характеристики алгоритмов обработки сигналов существенно отличаются от характеристик обработки данных по следующим причинам. Операции обработки сигналов обычно проводятся над массивами, содержащими очень много элементов. Отдельные элементы этих массивов имеют сравнительно невысокую точность и представлены в виде операндов фиксированной разрядности (8-12 разрядов), а в ряде случаев в виде комплексных величин фиксированной разрядности. Эти операции характеризуются регулярностью элементарных арифметических операций (сложение и вычитание), часто связаны друг с другом и образующих цепочку, что позволяет использовать регулярные аппаратные поточные средства, в которых практически отсутствуют ветвления, циклы или прямая и обратная связи по операндам.

Даже в высокоавтоматизированных системах на программируемой логике выбор оптимальной структурной ПЛИС – реализации алгоритма цифровой обработки сигналов не может быть определен строгими алгоритмическими целевыми функциями. Кроме того, необходимо учитывать довольно мощного ряда кристаллов ПЛИС, отличающихся быстродействием, потребляемой мощностью, логической емкостью, типом корпуса и другими важными параметрами [4].

В этой связи весьма актуальной видится задача анализа и выбора совокупности перспективных характеристик и критериев, которым должны отвечать структуры и алгоритмы цифровых процессоров обработки сигналов, синтез таких структур.

Основная часть. В области цифровой обработки сигналов предпочтение отдается специализированным устройствам ввиду жестких требований, связанных с обработкой в реальном масштабе времени. Для осуществления такой обработки обычно требуется выполнение многих тысяч миллионов операций в секунду, а универсальные системы с такой производительностью стоят миллионы долларов каждая.

Подход, основанный на использовании специализированной аппаратуры, может быть успешным только при выполнении определенных условий. Укажем некоторые из условий, которые, как мы полагаем, являются наиболее важными.

Различают два типа специализированных вычислителей. Первый характеризуется негибкой и жестко специализированной структурой. Второй допускает

программирование и реконфигурацию. "Жесткие" процессоры применимы при обработке сигналов в реальном масштабе времени, так как они обеспечивают высокую скорость обработки. Однако специализация аппаратных средств часто приводит к длительным циклам проектирования и высокой стоимости. С появлением современного алгоритмического (архитектурного) анализа программируемые (реконфигурируемые) параллельные процессоры цифровой обработки сигналов стали не только практически реализуемыми, но и во многих случаях более экономичными [2,4].

Одной из основных проблем технологии СБИС является реализация внутренних соединений. Поэтому локальность и рекурсивность алгоритмов будут иметь решающее значение, и роста эффективности обработки можно ожидать тогда, когда алгоритм подготовлен с учетом сбалансированного распределения работ и с соблюдением требования локальности, т.е. коротких линий связи. Впервые эти понятия для СБИС-алгоритмов появились при разработке систолических матриц [2]. В этих работах рассмотрены параллельные архитектуры и сделан вывод, что систолические и волновые матричные архитектуры обеспечивают наиболее перспективную совокупность характеристик при использовании технологии СБИС для обработки сигналов в реальном масштабе времени.

Систолическая система представляет собой сеть процессоров, которые ритмически обрабатывают и пересылают данные через систему. Информация в систолической системе передается между ячейками в конвейерном режиме, а связь с внешней средой осуществляется только через "граничные ячейки" [2].

Поэтому систолическую архитектуру можно рассматривать как результат реализации последовательности рекурсивных алгоритмов с помощью сети идентичных (или большей частью идентичных) вычислительных ячеек.

Важнейшими свойствами систолической матрицы являются модульность, регулярность, локальность связей, высокая степень конвейеризации вычислений и высокая синхронность параллельной обработки. Такая матрица не требует управления, совмещает операции ввода-вывода с вычислениями и, следовательно, ускорение вычислений может быть достигнуто без увеличения требований к пропускной способности ввода-вывода.

Алгоритм называется рекурсивным, если в нем повторяются операции одного и того же типа над последовательно поступающими входными данными. В параллельном рекурсивном алгоритме входные и выходные данные снабжаются как пространственными, так и временными индексами. Индекс времени выходных данных всегда на единицу больше индекса входных данных. Пространственные индексы выходных и входных данных связаны регулярным образом. Говорят, что рекурсивный алгоритм является локальным, если разность пространственных индексов в двух последовательных рекурсиях находится в заданных пределах. В противном случае говорят, что алгоритм глобальный, т.е. для такого алгоритма будет всегда требоваться

вычислительная структура с глобальными связями. Типичным примером рекурсивного алгоритма локального типа является алгоритм вычисления быстрого преобразования Фурье (БПФ). При такой классификации подавляющее большинство алгоритмов обработки сигналов принадлежит к группе локально-рекурсивных.

Важными факторами при разработке любой СБИС являются простота и эффективность проектирования. Так как площадь кремния, необходимая для реализации алгоритма сильно зависит от его степени регулярности, и по мере увеличения плотности логических элементов на кристалле до миллионов, то время проектирования и сложность топологии кристалла становятся доминирующими условиями, определяющими возможности создания СБИС цифровой обработки сигналов. Поэтому модульное проектирование высокорегулярных структур является основным аргументом в пользу внедрения таких СБИС.

В общем случае период времени для выполнения специализированной системы и ее применение для получения значительных результатов должен быть коротким, иначе имеется риск, что система никогда не будет использована. Во-первых, ее компоненты могут устареть до того, как система станет действующей и, таким образом, ее преимущества перед универсальными системами потеряются. Во-вторых, требования к специализированной системе могут измениться в течение длительного этапа разработки. Поэтому создание простых правил построения и методологии структурного проектирования позволит разработчикам быстро и уверенно проектировать свои собственные кристаллы СБИС обработки сигналов. Повышенное внимание должно быть уделено обеспечению оптимального параллелизма и поддержанию высокого процента активности всех элементов процессорных матриц (эффективность процессорного поля).

Также системы цифровой обработки сигналов на СБИС благодаря высокой степени параллелизма и массовости используемых в них процессоров, могут обеспечить определенную отказоустойчивость, в случае дефектов в пластине кремния.

Таким образом, с учетом приведенных выше рассуждений определим основные характеристики и показатели, которым должны отвечать проектируемые современные цифровые процессоры обработки сигналов. Это: однородность, регулярность, локальность и рекурсивность (систолическая архитектура); производительность и объем оборудования, избыточность или эффективность процессорного поля; надежность и время проектирования.

Базовой составляющей практически всех методов обработки сигналов (фильтрация, сжатие, распознавание и т.д.) является получение отсчетов спектра в том или ином базисе ортогональных функций [1, 2, 3].

Поэтому очень актуальной является задача синтеза цифровых устройств спектрального анализа сигналов с использованием таких базисных функций, которые позволяют минимизировать как количество вычислительных операций, так и объем аппаратуры.

В [5] показано, что анализ и синтез сигналов в базисе обобщенных функций Хаара можно проводить с минимальными вычислительными затратами. Так, например, из анализа любого алгоритма быстрого преобразования Фурье следует, что для вычисления спектра по дискретному массиву из N чисел необходимо осуществить $\frac{N}{2} \log N$ операций комплексного сложения и умножения. Быстрое преобразование Уолша-Адамара с упорядочением по Уолшу осуществляется за $N \log N$ операций сложения и вычитания, что существенно больше $2(N-1)$ операций, которое дает быстрое преобразование Хаара.

Также следует обратить внимание на фундаментальные свойства локальности системы Хаара, которые лежат в основе современных математических методов Wavelet-преобразований.

Покажем, что алгоритмы и структуры получения коэффициентов Хаара отвечают выделенным нами основным характеристикам цифровых процессоров обработки сигналов.

Если на вход специализированного вычислителя спектра Хаара подается N отсчетов дискретного сигнала X_i , то начальный процесс обработки включает в себя получение обобщенных промежуточных сумм Хаара в виде [5]:

$$X_i^{(n)} = \sum_{k=2i-1}^{2i} X_k^{(n-1)}, \quad (1)$$

где $n=1, 2, \dots, (\log_2 N-1)$, $i=1, 2, \dots, \frac{N}{2^n}$, а $X_k^{(0)}$ являются исходными отсчетами входного сигнала.

Коэффициенты Хаара на выходе анализатора определяются через (1) в виде:

$$C_{mj} = \frac{1}{N} 2^{\frac{m-1}{2}} \left[X_k^{(\log_2 N-1)-m} - X_{k+1}^{(\log_2 N-1)-m} \right], \quad (2)$$

где $m=1, 2, \dots, \log_2 N$; $j=1, 2, \dots, 2^{m-1}$, а для выражения, стоящего в квадратных скобках $m=m-1$ и $k=2j-1$.

Коэффициент Хаара с минимальным индексом (свободный член) будет определяться как

$$C_{01} = \frac{1}{N} \left[X_k^{\log_2 N-1} + X_{k+1}^{\log_2 N-1} \right]. \quad (3)$$

Выражения (1-3) являются рекуррентными и дают возможность построения схем локально-рекурсивных процессоров на принципах систологической архитектуры.

Если $N=8$, то процесс отображения исходных отсчетов сигнала в пространство коэффициентов Хаара по выражениям (2-4) можно представить в виде следующей последовательности операций.

Первый шаг: определяем по (2) промежуточные суммы Хаара.

$n=1, i=1, 2, \dots, \frac{N}{2^1} = 1, 2, \dots, 4$ и соответственно

$$X_1^1 = X_1^0 + X_2^0; X_2^1 = X_3^0 + X_4^0; X_3^1 = X_5^0 + X_6^0; X_4^1 = X_7^0 + X_8^0$$

Второй шаг: $n=2, i=1, 2$.

$$X_1^2 = X_1^1 + X_2^1; X_2^2 = X_3^1 + X_4^1$$

Третий шаг: $m=1, j=1$.

$$C_{11} = [X_1^2 - X_2^2] = (X_1^1 + X_2^1) - (X_3^1 + X_4^1) = (X_1^0 + X_2^0 + X_3^0 + X_4^0) - (X_5^0 + X_6^0 + X_7^0 + X_8^0) = C_2$$

$m=2, j=1, 2$.

$$C_{21} = [X_1^1 - X_2^1] = [(X_1^0 + X_2^0) - (X_3^0 + X_4^0)] = C_3.$$

$$C_{22} = [X_3^1 - X_4^1] = (X_5^0 + X_6^0) - (X_7^0 + X_8^0) = C_4.$$

$m=3, j=1, 2, 3$.

$$C_{31} = [X_1^0 - X_2^0] = C_5; C_{32} = [X_3^0 - X_4^0] = C_6; C_{33} = [X_5^0 - X_6^0] = C_7;$$

$$C_{34} = [X_7^0 - X_8^0] = C_8$$

Мощным инструментом прямого представления последовательности полученных рекурсий является граф потока сигналов. Точки вход-выход в графе указывает на порядок вычисления, а ребра, соответствующие задержке, обозначают разделение и упорядочение двух последовательных рекурсий. Граф потока сигналов во первых, обеспечивает мощный абстрактный аппарат для выражения параллелизма и во-вторых – переход от графов к реальным систолическим матрицам Хаара достаточно прост. Необходимо только в схеме на рис. 2 вместо вершин графа поставить соответствующие элементарные процессоры сложения или вычитания.

Полученная рекурсивная вычислительная схема приводит к локально связанным структурным примитивам (заштрихованные участки), дающим высокую степень однородности аппаратуры, модульность и регулярность потоков данных. Используя эти примитивы в качестве элементарных модулей, можно легко наращивать структуры Хаара для вычисления коэффициентов при любом значении N входных данных. Эти структуры обладают также свойством совместимости сверху вниз, которого нет в структурах алгоритмов БПФ. То есть специализированный вычислитель Хаара для получения, например, 32 коэффициентов позволяет также получить 16, 8 и т.д. коэффициентов без перестройки его конфигурации. Это свойство отображено в таблице 1.

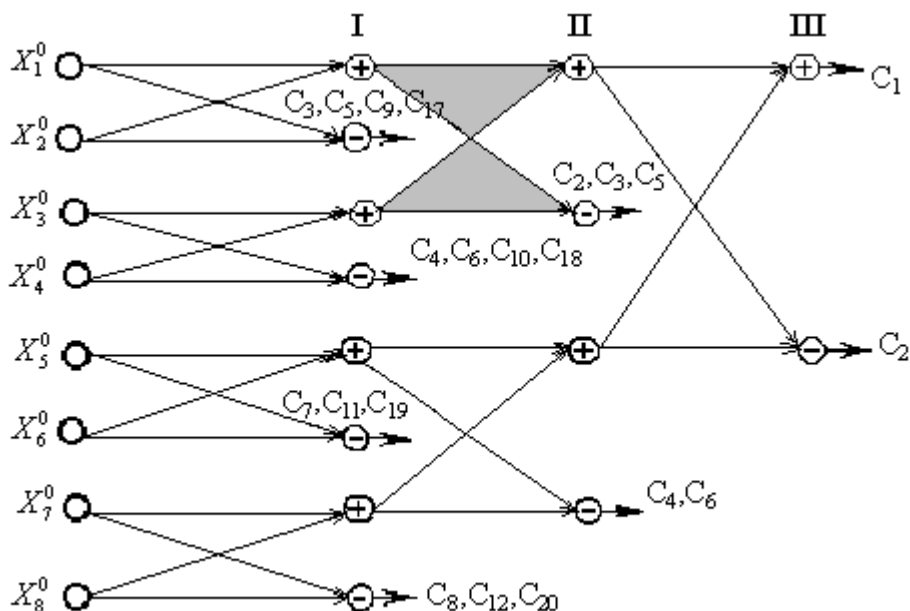


Рис. 2. Граф-схема получения коэффициентов Хаара. N=8.

Таблица 1

Совместимость структур Хаара сверху вниз

Коэффициенты	N	Ярусы (такты)				
		I	II	III	IV	V
	4	3, 4	1, 2			
	8	5, 6, 7, 8	3, 4	1, 2		
	16	9, 10, 11, 12, 13, 14, 15, 16	5, 6, 7, 8	3, 4	1, 2	
	32	17, 18, 19, 20, ... 31, 32	9, 10, 11, 12, 13, 14, 15, 16	5, 6, 7, 8	3, 4	1, 2

Если например, N=16, то соответствующие C_9, C_{10} , и т.д. будут находиться на втором ярусе 32 точечной структуры, коэффициенты C_5, C_6, C_7 и C_8 на третьем ярусе и т.д.

В свою очередь, коэффициенты C_5, C_6, C_7, C_8 являются результатом работы процессоров первого яруса при N=8. Исключения составляет только коэффициенты C_1 для различных N, которые всегда будут находиться на соответствующем первом сумматоре соответствующего яруса. Результаты вычислений первого яруса процессоров последовательно и локально передаются ("проталкиваются") процессорам второго яруса и т.д., пока не будут получены значения всех коэффициентов Хаара.

Для характеристики свойств параллельного алгоритма (структуры) Хаара введем понятие ширины параллелизма, которое определяет число операций ℓ , которые можно выполнять одновременно, параллельно. В нашем случае параллельная задача получения

коэффициентов Хаара выполняется за несколько тактов. Причем величина ℓ меняется от такта к такту и поэтому имеет смысл определить понятие среднего значения ширины параллелизма

$$\ell_{\text{cp}} = \frac{1}{q} \sum_{i=1}^q \ell_i, \quad (4)$$

где q – число тактов исполнения параллельного алгоритма, которое равно $\log N$. Числовое значение q отражает время исполнения параллельного алгоритма, выраженное в тактах. Оно характеризует глубину параллелизма и алгоритмическую сложность структур Хаара.

Важными характеристиками параллельных структур Хаара для цифровой обработки сигналов являются производительность P и объем оборудования Q , которые определим соответственно как

$$P = \frac{2(N-1)}{\log N} \quad \text{и} \quad Q = 2(N-1) \quad (5)$$

Здесь P определяет условное время, за которое параллельная структура реализует вычисление $2(N-1)$ арифметических операций того или иного алгоритма, Q – количество элементарных процессоров этой структуры.

Однако для сравнительной оценки множества вариантов архитектур, предназначенных для цифровой обработки сигналов, этих характеристик явно недостаточно. Поэтому необходимо использовать дополнительные критерии качества. Так в некоторых случаях весьма целесообразно использовать для оценки удельную производительность

$$V = \frac{P}{Q}, \quad (6)$$

где P и Q были определены выше. Удельную производительность наряду с производительностью можно использовать как важный критерий сравнения структур Хаара с параллельной и последовательной архитектурой.

Наиболее информативной характеристикой параллельного алгоритма является ускорение λ , показывающее во сколько раз применение параллельного алгоритма уменьшает время исполнения задачи по сравнению с последовательным алгоритмом. Вместе с тем следует ввести и характеристику (α), которая показывает, во сколько раз оборудование параллельного процессора проигрывает объему оборудования последовательного:

$$\lambda = \frac{T_{\text{посл.}}}{T_{\text{пар.}}} \quad \text{и} \quad \alpha = \frac{Q_{\text{пар.}}}{Q_{\text{посл.}}}, \quad (7)$$

где T – количество тактов для получения коэффициентов Хаара в последовательной и параллельной структуре.

Параллельные вычислительные структуры Хаара, которые строятся путем прямого отображения информационного графа, имеют и определенные недостатки, вытекающие из того, что абсолютно параллельных процессов в принципе не существует, а объем структур растет с ростом числа вершин графа и при большом числе N они становятся труднореализуемыми, а процессоры – малозагруженными. Так из рис. 2 следует, что на первом такте вычисления коэффициентов Хаара работают только процессоры первого яруса, на втором – только вторая линейка (второй ярус) и т.д. Поэтому очень целесообразной в практическом отношении видится такое понятие, как "эффективность процессорного поля" E :

$$E = \frac{1}{q} \sum_{i=1}^q n_i \quad \text{или} \quad E = \frac{N}{q}, \quad (8)$$

где n_i – число процессорных элементов (ПЭ), которое необходимо для реализации параллелизма в такте i . Величина E указывает среднюю загрузку ПЭ при выполнении конкретного параллельного алгоритма. Можно уточнить это понятие, если ввести такую характеристику, как избыточность структуры или коэффициент загрузки оборудования "R", который показывает отношение суммарного числа работающих процессоров (M) к числу неработающих (M^*) при каждом такте решения задачи и в целом после ее завершения:

$$M_i = \sum_{i=1}^{\log N} \frac{N}{2^{i-1}} \quad \text{и} \quad M_i^* = \sum_{i=1}^{\log N} [2(N-1) - 2^i], \quad (9)$$

$$a \quad R_i = \left(\sum_{i=\log N}^1 2^i \right) / \sum_{i=1}^{\log N} [2(N-1) - 2^i], \quad (10)$$

где i в числителе формулы (10) меняется от $\log N$ до 1 с шагом минус единица.

По выражениям (9) и (10) для различных N построим таблицы значений коэффициентов R , M и M^* и проведем их сравнительный анализ.

Таблица 2
Значения коэффициентов R , M и M^* . $N=64$, $i=1,2,3,4,5,6$.

Такты	1	2	3	4	5	6	Σ
M	64	32	16	8	4	2	126
M^*	62	94	110	118	122	124	630
R	1,03	0,34	0,145	0,067	0,032	0,016	0,2
R^*	0,507	0,253	0,127	0,063	0,031	0,0158	1

Здесь и далее R^* определяет отношение числа работающих процессоров на каждом такте решения задачи к их общему числу в схеме, т.е. Q

Таблица 3

Значения коэффициентов при N=16

Такты	1	2	3	4	Σ
M	16	8	4	2	30
M*	14	22	26	28	90
R	1,14	0,363	0,153	0,07	0,33
R*	0,533	0,266	0,133	0,066	1

Таблица 4

Значения коэффициентов при N=8

Такты	1	2	3	Σ
M	8	4	2	126
M*	6	10	12	28
R	1,33	0,4	0,166	0,5
R*	0,57	0,285	0,142	1

Анализ этих таблиц показывает очень низкий коэффициент загрузки оборудования в параллельных структурах Хаара, независимо от длины обрабатываемой реализации. Так уже на втором такте работы схемы при N=64 (табл. 2.) число работающих процессорных элементов по отношению к не работающим составляет всего 34 %, а на третьем такте эта цифра опускается до 14,5%. Чем меньше длина обрабатываемой реализации N, тем выше коэффициент загрузки оборудования параллельной структуры. Избыточность структур связана с коэффициентом загрузки оборудования R обратной зависимостью, т.е., чем меньше R, тем больше избыточность.

Эти результаты дают основание говорить о необходимости построения базовых параллельно-последовательных структур, которые дают возможность синтезировать безизбыточные схемы быстрых преобразований Хаара при любом значении N длины обрабатываемой реализации сигналов путем наращивания таких структур и простым их соединением. На рис. 3 изображена такая базовая структура (модуль) с указанием необходимой последовательности поступления номеров отсчетов сигнала, а в таблице 5 – выполняемые действия на каждом такте работы при N=4.

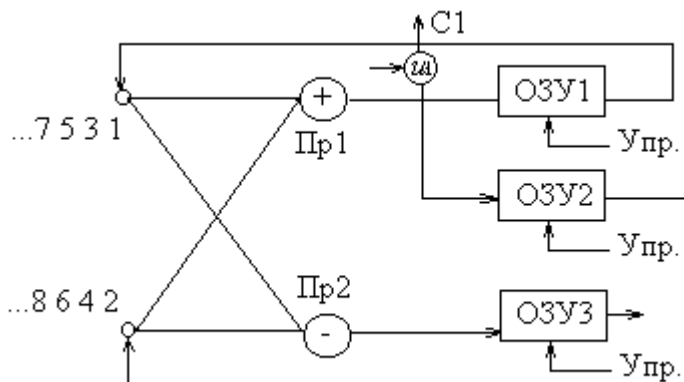


Рис. 3. Базовая безизбыточная структура Хаара.

Таблица 5

Результаты потактовой работы в схеме на рисунке 3

Такты					
1	2	3	4	5	6
(1+2)→Пр1→ОЗУ1 (1-2)→Пр2→С ₃ →ОЗУ2	(3+4)→Пр1 (3-4)→Пр2→С ₄	Пр1→ОЗУ3 С ₄ →ОЗУ2	ОЗУ1→(1+2)) ОЗУ3→(3+4))	(1+2)+(3+4) →Пр1 (1+2)- (3+4)→Пр2	u ₁ →С ₁ Пр2→ С ₂

В случае соединения двух базовых модулей мы приходим к четырехпроцессорной структуре, четырех – к восьмипроцессорной и т.д. Один из вариантов схемы с использованием бвух базовых модулей приведен на рис. 4, а в табл. 6 определены соответствующие ей последовательности выполняемых элементарных операций при N=4.

Таблица 6

Результаты потактовой работы в схеме на рисунке 4

Такты				
1	2	3	4	5
(1+2)→Пр1 (3+4)→Пр3 (1-2)→Пр2 (3-4)→Пр4	Пр1→ОЗУ1 Пр3→ОЗУ4 Пр2→С ₃ →ОЗУ2 Пр4→С ₄ →ОЗУ6	ОЗУ1→(1+2)→Пр1 ОЗУ4→(3+4)→u ₃ →Пр2	(1+2)+(3+4)→Пр1→С ₁ (1+2)-(3+4)→Пр2→С ₂	С ₁ →u ₁ →

Также достаточно просто построение схемы из 4 базовых модулей и соответствующей ей таблицы выполняемых потактовых элементарных операций. Проведем анализ эффективности предложенного подхода для двух, четырех и восьмипроцессорных структур в сравнении с параллельными структурами на основании определенных нами в работе характеристик и критериев.

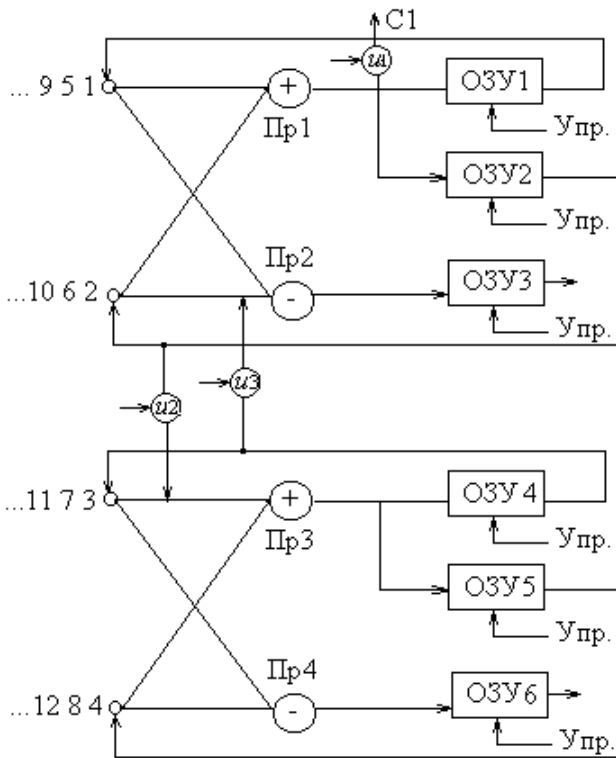


Рис. 4. Четырехпроцессорная структура на двух базовых модулях.

Исходными данными для анализа будут: число арифметических операций $2(N-1)$, которое необходимо выполнить для получения коэффициентов Хаара, как в параллельной, так и в последовательной (параллельно-последовательной) структуре; количество тактов T в параллельной и последовательной структуре для решения задачи получения коэффициентов; объем оборудования параллельной Q и последовательных структур Q_2, Q_4, Q_8 , где Q_2 – двухпроцессорная, Q_4 – четырехпроцессорная и Q_8 – восьмипроцессорная структура. Причем оборудование базового модуля (рис. 3) состоит из двух процессоров и двух блоков памяти ОЗУ1 и ОЗУ3, которые работают на частоте процессоров, как это реализовано в современных персональных ЭВМ. Блок памяти коэффициентов ОЗУ2 не входит в состав оборудования базового модуля, а технологическую сложность процессора и блока памяти будем считать одинаковой. Таким образом, можно считать что аппаратные затраты базового модуля составляют четыре процессорных элемента. Полученные численные значения основных характеристик по формулам (5), (6), (7), (9) и (10) сведены в соответствующие таблицы 7 и 8 и по этим значениям, с учетом данных таблицы тактов 9, построены семейства графиков (рис. 5 и рис. 6), позволяющих судить об эффективности той или иной структуры.

Таблица 7

Характеристики последовательных и параллельных структур Хаара

logN	2	3	4	5	6
α_2	1,5	3,5	7,5	15,5	31,5
λ_2	3	4,33	7,5	12,4	21
α_4	0,75	1,75	3,75	7,75	15,75
λ_4	2,5	3	4,5	6,6	10,6
α_8	0,375	0,875	1,875	3,875	7,875
λ_8	2,5	2,66	2,75	4	6,33

α_2, λ_2 – характеристики 2-х процессорной структуры, α_4, λ_4 – 4-х процессорной структуры и т.д.

Таблица 8

logN	2	3	4	5	6
$P_{\text{пар.}}$	3	4,67	7,5	12,4	21
P_2	1	1	1	1	1
P_4	1,2	1,55	1,66	1,87	1,9
P_8	1,2	1,75	2,72	3,1	3,15
$V_{\text{пар.}}$	0,5	0,333	0,25	0,2	0,166
V_2	0,25	0,25	0,25	0,25	0,25
V_4	0,15	0,193	0,2	0,234	0,246
V_8	0,075	0,109	0,17	0,193	0,2

Таблица 9

Значения количества необходимых тактов

logN		2	3	4	5	6
Такты	Пр.пар.	2	3	4	5	6
	Пр ₂	6	13	30	62	126
	Пр ₄	5	9	18	33	64
	Пр ₈	5	8	11	20	38

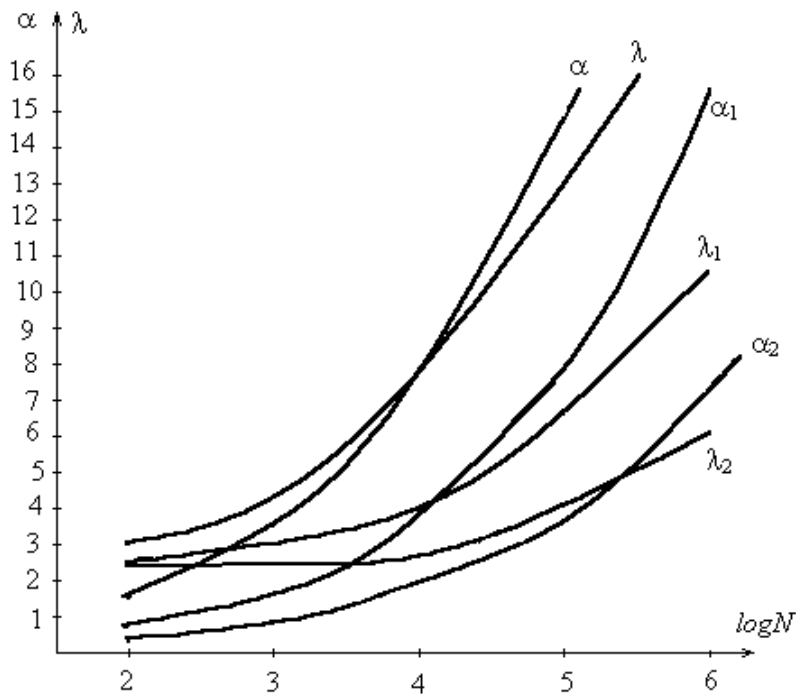


Рис. 5 Характеристики параллельных и последовательных структур

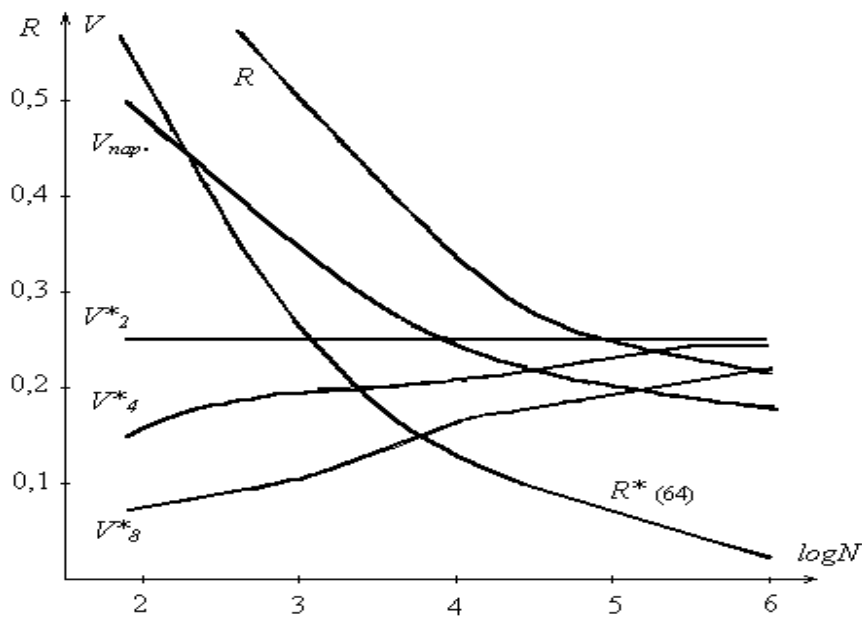


Рис.6 Характеристики параллельных и последовательных структур

Из графиков на рис. 5 и 6 следует, что для всех последовательных структур Хаара существуют определенные значения размерности векторов обрабатываемых данных, когда их применение становится более предпочтительным, то есть когда затраты на оборудование параллельного процессора начинают опережать его выигрыш в скорости вычислений.

По показателю удельной производительности V двухпроцессорная система всегда остается лучшей по сравнению с остальными последовательными структурами, а при $N > 16$ она начинает выигрывать и по сравнению с параллельной. При больших значениях

N удельная производительность всех последовательных структур не сильно отличается и стремится к значению 2,5. График коэффициента загрузки оборудования (R) показывает, что с ростом длины массива (N), число работающих процессоров в параллельных структурах по отношению к числу не работающих резко падает. Причем наибольшая крутизна графика наблюдается при малых значениях $N=2$ и 3. Поведение графика R^* демонстрирует, как изменяется отношение числа работающих процессоров на каждом такте решения задачи к их общему числу при $N=64$ и свидетельствует о резком уменьшении эффективности загрузки процессорного поля в параллельных структурах Хаара с ростом N .

Заключение. Полученные в работе результаты и выводы позволяют на практике строить различные архитектуры процессоров обработки сигналов в базисе Хаара, ставя во главу угла их эффективность по тем или иным критериям, определенных в работе. Так как ортогональные преобразования Хаара являются обратимыми, то приведенные результаты остаются в силе и при выборе схем, реализующих алгоритмы быстрых обратных преобразований. Также предложенная методика может быть использована при анализе и синтезе схем обработки сигналов в других ортогональных базисах.

Литература

1. Букашкин С.А., Применение цифровых процессоров обработки сигналов – магистральный путь развития современных средств телекоммуникаций / С.А. Букашкин, Г.Ф. Лисицын, В.Г. Миронов // Труды 3-ей Международной конференции "Цифровая обработка сигналов и ее применение". – М.: Инсвязьиздат, 2000. – 315 с.
2. Сверхбольшие интегральные схемы и современная обработка сигналов: Пер. с англ./ Под ред. С. Гуна, Х. Уайтхадса, Т. Кайлата. – М.: Радио и связь, 1989. – 472 с.
3. В. Корнеев. Будущее высокопроизводительных вычислительных систем // Открытые системы. – М.: № 5, 2003. – С. 10–17.
4. Палагин А. В. Реконфигурируемые вычислительные системы: Основы и приложения. / А. В. Палагин, В. Н. Опанасенко. – К.: Просвіта, 2006. – 280 с.
5. Иванов В. Г. Формальное описание дискретных преобразований Хаара // Проблемы управления и информатики. – 2003. – №5. – С. 68–75.